

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-33966

⑬ Int. Cl.³

H 01 L 27/04
27/06
29/784

識別記号

H 7514-5F

庁内整理番号

⑭ 公開 平成2年(1990)2月5日

8422-5F H 01 L 29/78 3 0 1 K
7735-5F 27/06 3 1 1 Z

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体集積回路装置の入力保護装置

⑯ 特 願 昭63-188901

⑰ 出 願 昭63(1988)7月23日

⑱ 発 明 者 生 田 信 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 貞一 外2名

明 細 書

1. 発明の名称

半導体集積回路装置の入力保護装置

2. 特許請求の範囲

入力端子部(5)およびMOSトランジスタ(6)が形成された半導体集積回路装置基板(11)上に、前記入力端子部(5)とMOSトランジスタ(6)のゲート電極との間に電氣的に直列に設けられた抵抗層(17)を有して構成された半導体集積回路装置の入力保護装置(1)において、

前記抵抗層(17)と基板(11)との間に、前記抵抗層(17)よりも広面積で電氣的にフローティング状態を維持する導電層(16)を絶縁膜(14)を介して埋設してなることを特徴とする半導体集積回路装置の入力保護装置。

3. 発明の詳細な説明

(概要)

入力端子部に印加された過電圧からMOSトランジスタのゲート電極を保護する半導体集積回路装置の入力保護装置の構造に関し、

保護装置の静電耐圧が高く、入力端子部に印加された過電圧からMOSトランジスタを有効に保護するとともに、抵抗層(導電層)が断線する危険性のきわめて低い入力保護装置を提供することを目的とし、

入力端子部(5)およびMOSトランジスタ(6)が形成された半導体集積回路装置基板(11)上に、前記入力端子部(5)とMOSトランジスタ(6)のゲート電極との間に電氣的に直列に設けられた抵抗層(17)を有して構成された半導体集積回路装置の入力保護装置(1)において、前記抵抗層(17)と基板(11)との間に、前記抵抗層(17)よりも広面積で電氣的にフローティング状態を維持する導電層(16)を絶縁膜(14)を介して埋設してなるような構

成とする。

〔産業上の利用分野〕

本発明は入力端子部に印加された過電圧からMOSトランジスタのゲート電極を保護する半導体集積回路装置の入力保護装置の構造に関する。

同一基板上に入力端子部とMOSトランジスタを形成してなる半導体集積回路装置は近年多くの用途に使用されているが、例えばカード等に使用された場合、衣服から生じる静電気により入力端子部に正・負の過電圧が印加されることが避けられない。一方MOSトランジスタのゲート電極の絶縁膜は薄いため、入力端子部に印加された過電圧がそのままMOSトランジスタのゲート電極に印加されると、ゲート電極の静電破壊が生じる。このため、印加過電圧からMOSトランジスタを有効に保護する手段が要望されている。

〔従来の技術〕

入力端子部に印加された過電圧からMOSトランジスタを保護する手段として、第3図に示されるように入力端子部5とMOSトランジスタ6の

ゲート電極との間に保護抵抗2とクランプ用ダイオード3、4とを接続して構成される入力保護装置1が用いられている。

従来の入力保護装置1の概略断面を第4図に示す。第4図において、保護抵抗2は基板11に形成されたフィールド酸化膜12上に抵抗層17を形成して構成されている保護抵抗2と、基板11に形成された拡散層13により構成されているクランプ用ダイオード3、4(図示例ではクランプ用ダイオード4が示されている)とからなっている。そして、保護抵抗2の抵抗層17の一端は導電層18aを介して入力端子部5(図示せず)と接続され、他端は導電層18bを介してクランプ用ダイオード3、4と接続されている。第3図、第4図において、入力端子部5に印加された過電圧のうち、スパイク状過電圧は保護抵抗2により抑制され、また定常的過電圧はクランプ用ダイオード3あるいはクランプ用ダイオード4においてクランプされるため、MOSトランジスタ6のゲート電極に過電圧が印加されることが防止される。

しかし、人間の衣服等の摩擦により発生する静電気は電荷も多いが、特に電圧の絶対値が大きい。このような静電気が入力端子部5に印加された場合、電荷は入力保護装置1で吸収され、スパイク状の高電圧は上述のように保護抵抗2により抑制されるが、このとき保護抵抗2の静電耐圧が不足しているとフィールド酸化膜12に穴があく静電破壊が生じ、入力保護装置1としての機能をなさなくなるという問題がある。ここで保護抵抗2の静電耐圧 V はフィールド酸化膜12の材質、膜厚(d_1)により決定され、一般に下記式〔1〕で示される。

$$\text{式〔1〕} \quad V = A \times d_1 \times \alpha$$

〔 A は0.07~0.1($V/\text{\AA}$)を示す。
 α は各入力保護装置1に固有の値であり、
 約0.3~1.0程度である。〕

式〔1〕より、フィールド酸化膜12の膜厚 d_1 (第4図参照)を大きくすることにより静電耐圧が大きくなることが明らかである。そこで、従来から第5図に示されるようにフィールド酸化

膜12の膜厚を大きくして保護抵抗2の静電耐圧を大きくした入力保護装置1が使用されている。

〔発明が解決しようとする課題〕

しかし、第5図に示される入力保護装置1では、フィールド酸化膜12の膜厚を大きくしたために、フィールド酸化膜12と基板11との段差が従来の入力保護装置1に比べ大きくなる。したがって導電層18a、18bを配設するために形成された絶縁膜14が、基板11に対して急な傾斜を有する部分(第5図において鎖線○印のa、b箇所)を有することになる。一方導電層18a、18bは通常スパッタリング法により絶縁膜14上に形成されるため、基板11に平行な面は A_1 等の導電材が成長し易く導電層18a、18bが厚くなり易いが、基板11に対して斜めな部分(第5図a、b)は、 A_1 等の導電材が成長し難いため導電層18a、18bが薄くなる。このような導電層18a、18bの薄い部分は過電圧及び過電流が印加された場合等に断線の生じる危険性が高い。したがって第5図に示される従来の入力保護装置

1では、フィールド酸化膜12の膜厚を大きくして静電耐圧が向上した反面、回路自体の断線の危険性が高く、信頼性に欠けるものであった。

そこで本発明は、保護装置の静電耐圧が高く、入力端子部5に印加された過電圧からMOSトランジスタ6を有効に保護するとともに、配線が断線する危険性のきわめて低い入力保護装置1を提供することを目的とする。

〔課題を解決するための手段〕

上記の課題は、入力端子部(5)およびMOSトランジスタ(6)が形成された半導体集積回路装置基板(11)上に、前記入力端子部(5)とMOSトランジスタ(6)のゲート電極との間に電氣的に直列に設けられた抵抗層(17)を有して構成された半導体集積回路装置の入力保護装置(1)において、前記抵抗層(17)と基板(11)との間に、前記抵抗層(17)よりも広面積で電氣的にフローティング状態を維持する導電層(16)を絶縁膜(14)を介して埋設してなるように構成することによって達成される。

示す概略平面図であり、第1図(B)は第1図(A)のA-A'線断面を示す概略断面図である。なお、第1図(A)は位置関係明確化のために絶縁膜14、15、19の記載を省略している。

第1図において、本発明に係る入力保護装置1の保護抵抗2は、基板11に形成されたフィールド酸化膜12と、導電層18a、18bを介して入力端子部(図示せず)およびクランプ用ダイオード(図示せず)と接続されている抵抗層17との間に導電層16を有しており、この導電層16は絶縁膜14中に電氣的にフローティング状態で埋設されている。

次に第2図を参照して第1図に示されている本発明に係る入力保護装置1の形成工程を説明する。

第2図において基板11に形成されたフィールド酸化膜12上にゲート酸化膜14'を介して導電層16が所定のパターンで形成される(第2図(A))。この場合ゲート酸化膜14'は導電層16を電氣的にフローティング状態にするために形成された薄膜であり、後から形成される絶縁膜

〔作用〕

入力保護装置の保護抵抗は、抵抗層と基板との間に、該抵抗層よりも大きな面積を有する導電層が絶縁膜を介して電氣的にフローティング状態で埋設されている。

このため、フィールド酸化膜の膜厚を大きくすることなく入力保護装置の静電耐圧を高くすることが可能であり、かつ、入力端子部と入力保護装置とMOSトランジスタとの間を接続する導電層18a、18bを均一な厚さで形成することが可能である。

〔実施例〕

以下、図面を参照して本発明の実施例を説明する。

本発明の入力保護装置は第3図の回路図に示されるように保護抵抗2とクランプ用ダイオード3、4とから構成されている。第1図は本発明の実施例を説明するための保護抵抗2近傍の概略断面図であり、第1図(A)は導電層16と抵抗層(導電層)17と導電層18a、18bの位置関係を

14と同材質の薄膜であってよい。また、本発明ではフィールド酸化膜12の膜厚は第4図に示される従来の入力保護装置1と同様の膜厚でよく、第5図に示されるような大きな膜厚のものとする必要はない。

次に導電層16を被覆するように絶縁膜14が形成される(第2図(B))。上記のようにフィールド酸化膜12の膜厚が大きくないのでフィールド酸化膜12と基板11との段差部分(第2図(B)で鎖線O印で示されているa部分)における絶縁膜14はなだらかな傾斜を示す程度である。

次に導電層16の上方の絶縁膜14上に導電層16よりも小さな面積を有する抵抗層17が所定のパターンで形成され(第2図(C))、この抵抗層17を被覆するように絶縁膜15が形成される(第2図(D))。この絶縁膜15は、その下層である絶縁膜14上に形成されるため、絶縁膜14と同様になだらかな傾斜を有するのみで、基板11に対して急峻な箇所はないものとなっている。

次に絶縁膜15に抵抗層17との接続用のコンタクトホールが形成され(第2図(E))、導電層18がスパッタリング法等により形成される(第2図(F))。このように形成された導電層18は、絶縁膜15が基板11に対して急峻な箇所を有していないため、きわめて均一な厚さを呈する。

そして、最後に導電層18の不要な部分をエッチング等により除去してパターンニングされた導電層18a、18bが形成され、この上に絶縁膜19が形成される(第1図)。導電層18aは入力端子部と抵抗層17とを接続し、導電層18bは抵抗層17とクランプ用ダイオードとを接続するものである。

このように構成された入力保護装置1の保護抵抗2の静電耐圧は、第1図に示されるように抵抗層17と基板11との間の厚さ、すなわち、フィールド酸化膜12の膜厚 d_1 と絶縁膜14の膜厚 d_2 と導電層16の膜厚 d_3 の総和により決まり、前述の式(1)から静電耐圧 V は下記の式(2)

のようになる。

$$\text{式(2)} \quad V = A \times (d_1 + d_2 + d_3) \times \alpha$$

(A 、 α は式(1)と同様である。)

ここで、 $d_1 = 4000 \text{ \AA}$ 、 $d_2 = 2000 \text{ \AA}$ 、 $d_3 = 3000 \text{ \AA}$ として、本発明に係る入力保護装置1の保護抵抗2の静電耐圧 V_1 と、第4図に示される従来の入力保護装置1の保護抵抗2の静電耐圧 V_2 とを求めると下記のようになる。尚、式(1)、式(2)において $A = 0.07$ ($V/\text{\AA}$)、 $\alpha = 1$ として静電耐圧を求めた。

$$V_1 = 0.07 \times (4000 + 2000 + 3000) \times 1 = 630 \text{ (V)}$$

$$V_2 = 0.07 \times 4000 \times 1 = 280 \text{ (V)}$$

すなわち、フィールド酸化膜12の膜厚が同一($d_1 = 4000 \text{ \AA}$)であっても本発明に係る入力保護装置1は従来の入力保護装置1に比べて約2倍の静電耐圧を有することがわかる。

また、従来の入力保護装置1で本発明に係る入力保護装置1と同様の静電耐圧を実現しようとすると、第5図に示されるようにフィールド酸化膜

12の膜厚を約2倍($d_1 = 9000 \text{ \AA}$)とする必要があり、前述したように導電層18a、18bに断線を生じる危険性を伴うことになる。これに対し、本発明ではこのような断線の危険性を伴うことなく静電耐圧を向上することが可能である。

このような本発明に係る入力保護装置1において、導電層16の材質としては特に制限はなく、ポリシリコン、Al等のいずれの導体であってもよい。また、抵抗層17の材質はポリシリコンの不純物添加を制限したもの等いずれの抵抗層17であってもよい。特に導電層16をポリシリコンにより形成する場合、MOSトランジスタ6の第1層および第2層のポリシリコン配線形成と並行して、導電層16を第1層ポリシリコンで形成し、抵抗層17を第2層ポリシリコンで形成することができるため工程が簡易なものとなる。

(発明の効果)

本発明によれば、入力端子部に正・負いずれの過電圧が印加された場合でも、高い静電耐圧によ

り有効にMOSトランジスタを保護するとともに、回路に断線の生じる危険性がきわめて低く、信頼性の高い入力保護装置を実現することができる。

4. 図面の簡単な説明

第1図は本発明の実施例を説明する概略図であり、第1図(A)は平面図、第1図(B)は第1の(A)のA-A'線断面図、

第2図は本発明に係る入力保護装置の形成工程を順番に示す概略断面図、

第3図は入力保護装置の回路図、

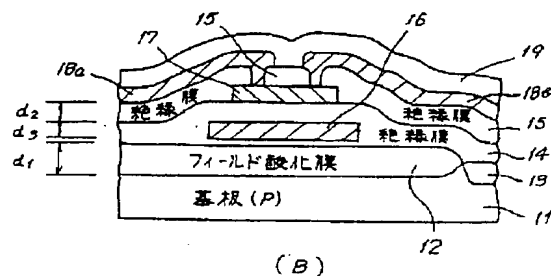
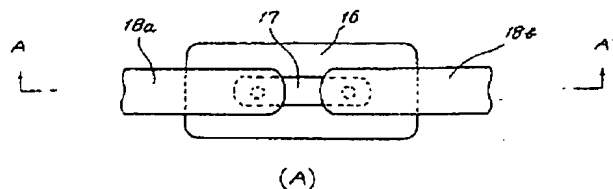
第4図は従来の入力保護装置の1例を示す概略断面図、

第5図は従来の入力保護装置の他の例を示す概略断面図である。

- 1…入力保護装置、
- 2…保護抵抗、
- 3、4…クランプ用ダイオード、
- 5…入力端子部、
- 6…MOSトランジスタ、

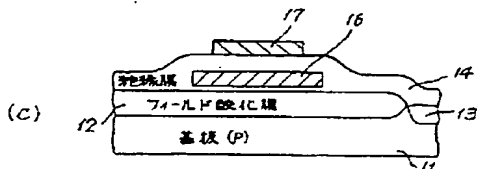
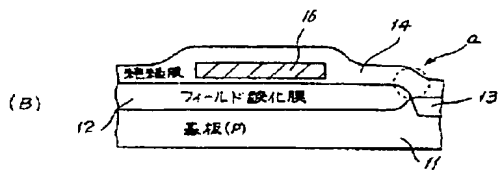
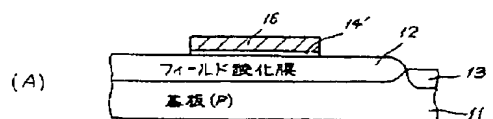
- 11…基板、
 12…フィールド酸化膜、
 13…拡散層、
 14、15、19…絶縁膜、
 14a…ゲート酸化膜、
 16…導電層、
 17…抵抗層（導電層）、
 18a、18b…導電層。

代理人井理士 井 術 貞



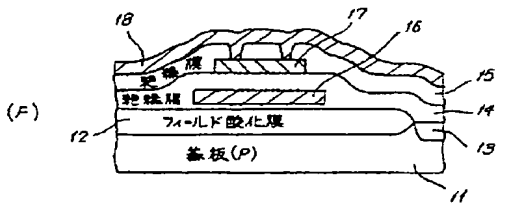
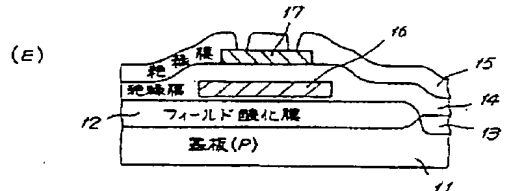
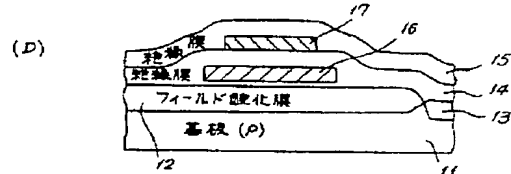
本発明の実施例を説明する概略図

第1図



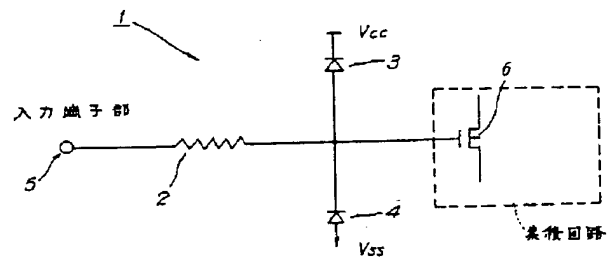
本発明に係る入力保護装置の形成工程と順番を示す概略断面図

第2図



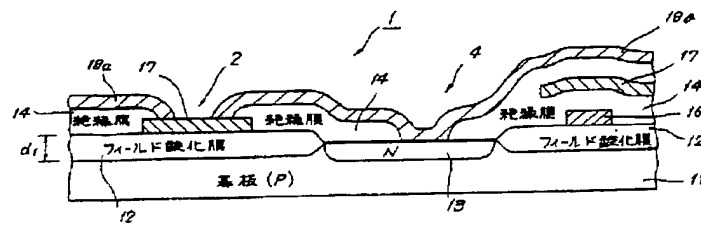
本発明に係る入力保護装置の形成工程と順番を示す概略断面図

第2図



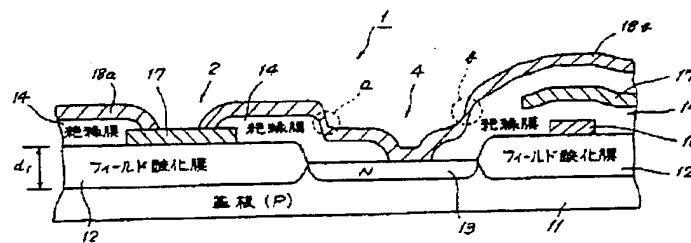
入力保護装置の回路図例

第3図



従来の入力保護装置の概略断面図

第4図



従来の入力保護装置の概略断面図

第5図